

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-337516

(43)Date of publication of application : 05.12.2000

(51)Int.Cl.

F16J 15/16

H02K 49/02

(21)Application number : 11-143437

(71)Applicant : ISUZU MOTORS LTD

(22)Date of filing : 24.05.1999

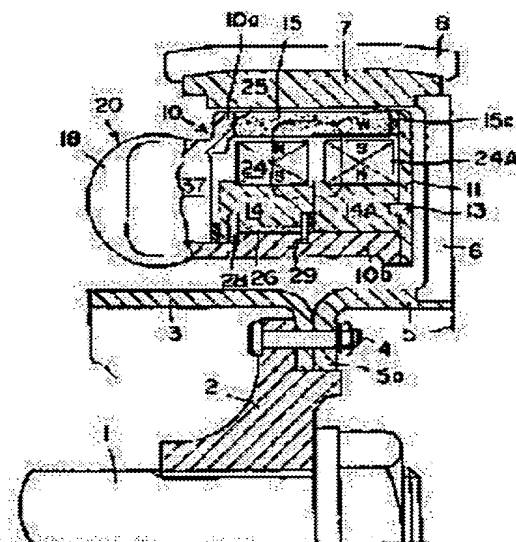
(72)Inventor : KUWABARA TORU

## (54) SHAFT SEAL STRUCTURE OF MAGNET SUPPORT CYLINDER OF EDDY CURRENT REDUCTION GEAR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide an eddy current reduction gear that keeps abrasion powders at both ends of its bearing bushing so that they can no longer dissipate outward.

SOLUTION: The eddy current reduction gear is constituted of a brake drum 7 coupled to a rotary shaft 1, a guide cylinder 10 with a rectangularly sectioned hollow disposed in the brake drum 7 in a supported position on a non-rotatable part such as a vehicle body, a magnet support cylinder 14 supported rotatably in the hollow of the guide cylinder 10, many magnets 24 connected to the external wall of the magnet support cylinder 14 at constant circumferential intervals, and ferromagnetic plates 15 cast in those parts of the guide cylinder 10 which face the magnets 24. An eddy current induced by magnetic fields by the magnets 24 causes the brake drum 7 to generate braking force. A bearing bushing 26 is interposed between the guide cylinder 10 and the magnet support cylinder 14. At least either of the guide cylinder 10 and the magnet support cylinder 14 has at ends circumferential grooves 28 and 29. Seal members are disposed on the sides of the grooves 28 and 29 opposite to the bearing bushing 26.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the gradation method of presentation of the liquid crystal by the example of this invention.

[Drawing 2] It is the block diagram showing the gradation display controller of the liquid crystal by the 1st example of this invention.

[Drawing 3] It is the \*\* type view showing the content of VRAM in the gradation method of presentation of the liquid crystal by the 1st example of this invention.

[Drawing 4] It is the block diagram showing the gradation display controller of the liquid crystal by the 2nd example of this invention.

[Drawing 5] It is the \*\* type view showing the content of VRAM in the gradation method of presentation of the liquid crystal by the 2nd example of this invention.

[Drawing 6] It is drawing explaining the gradation display by area gradation.

[Drawing 7] It is drawing explaining the gradation display by inter-frame length.

[Description of Notations]

1 CPU

2 CPU Bus

3 Memory Control Circuit

4 VRAM (Memory)

5 Liquid Crystal Display Control Circuit (Control Means)

6 Liquid Crystal Display Object (Display Object)

7 Synchronizing Signal Generation Circuit

8 Frame Counter

9 Pattern Generating Circuit (Pattern Generating Means)

---

[Translation done.]

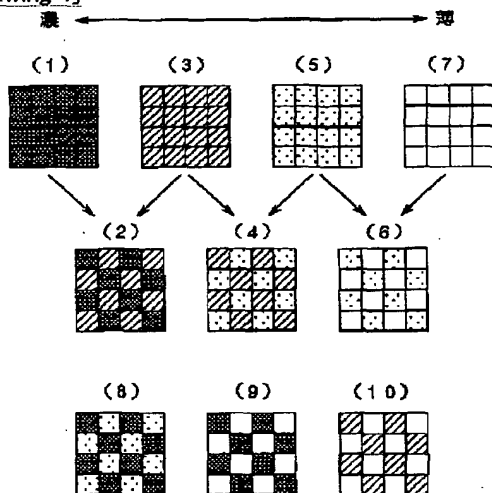
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

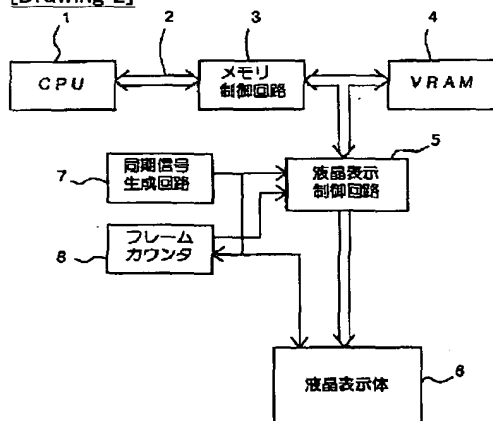
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

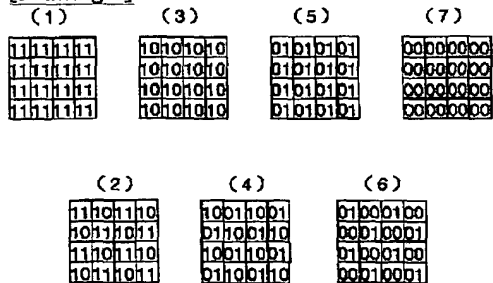
[Drawing 1]



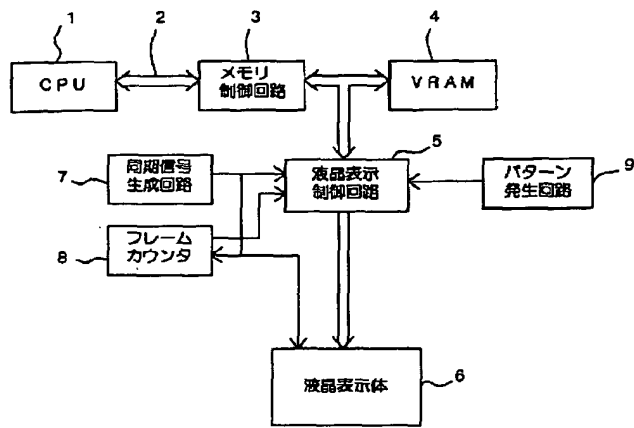
[Drawing 2]



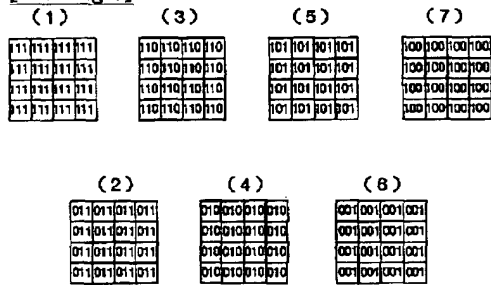
[Drawing 3]



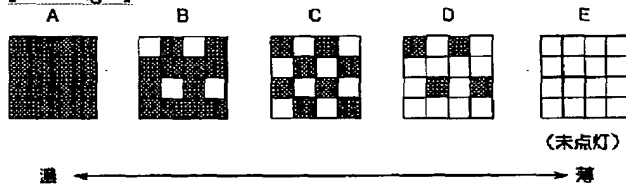
[Drawing 4]



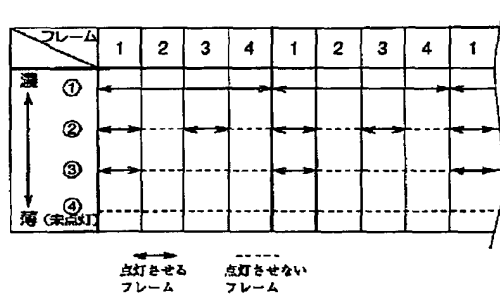
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] Divide a round term into n frames, scan the same pixel n times, and the pixel of the 1st gradation is displayed by making a pixel turn on with x times of frames. The gradation method of presentation of the liquid crystal characterized by displaying the pixel of the 2nd gradation and displaying the 3rd gradation which has the middle gradation of the 1st gradation and the 2nd gradation by two or more pixels containing the pixel of the 1st gradation of the above, and the pixel of the 2nd gradation of the above by making a pixel turn on with y times of different frames from x.

[Claim 2] The gradation method of presentation of the liquid crystal according to claim 1 characterized by displaying the 3rd gradation of the above by displaying the pixel of the 1st gradation of the above, and the pixel of the 2nd gradation of the above on lengthwise and a longitudinal direction by turns.

[Claim 3] The gradation display controller of liquid crystal characterized by providing the following. The display object which arranged two or more pixels which can display either lighting or an astigmatism LGT in the shape of a matrix. Memory the value corresponding to the gradient of each pixel of the aforementioned display object is remembered to be. A pattern generating means to output ON or OFF according to the coordinate of each pixel. A means by which divide a round term into two or more frames, and only the number of frames scans each pixel, the value memorized by the aforementioned memory, and control means which change the number of times of a frame which makes each pixel turn on according to the output of the aforementioned pattern generating means.

[Claim 4] The aforementioned pattern generating means is the gradation display controller of the liquid crystal according to claim 3 characterized by outputting ON when the sum of the ordinate and abscissa of a pixel is either even number or odd number, and outputting OFF at the time of another side.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the gradation method of presentation of liquid crystal, and its control unit.

[0002]

[Description of the Prior Art] Before, the method by area gradation and the method by inter-frame length are learned as a way the dot of a large number which can display lighting or an astigmatism LGT indicates to the liquid crystal display arranged in the shape of a matrix by gradation.

[0003] The method by area gradation is displayed with two or more gradation by changing the rate of the lighting dot per unit area. For example, as shown in A-E of drawing 6, in a pattern with many dots to turn on, in the matrix pattern of 4x4 dots, display concentration becomes deep.

[0004] A round term is divided into two or more frames, only the number of frames scans the same pixel, and the method by inter-frame length displays it with two or more gradation by changing the number of times of a frame which makes the dot of them turn on. For example, display concentration becomes deep, so that there are many frame numbers which a dot turns on among four frames, as shown in drawing 7.

[0005]

[Problem(s) to be Solved by the Invention] However, by the way the above-mentioned conventional area gradation performs the gradation display of liquid crystal, since the patterns the repeat of a pattern is recognized with the naked eye, and a display is in sight in spots would increase in number if the number of gradation is increased when one dot of liquid crystal is comparatively large, a quality gradation display was not completed. Therefore, the display of three gradation as shown in A, C, and E of drawing 6 was mainly used, and there was a problem that it was difficult to increase the number of gradation. Moreover, since gradation was expressed with two or more dots, when a character etc. was displayed, the character had to be enlarged and there was a problem that the number of the characters which can be displayed decreased.

[0006] Moreover, by the method by inter-frame length, depending on a setup of the frame to thin out, the flicker to which a display flickers occurs and display quality deteriorates. If a frame number tended to be increased and it was going to increase the number of gradation especially, since a flicker would increase by the display of irregular inter-frame length, there was a limitation in many gradation-ization by inter-frame length.

[0007] Therefore, it is quality, without the purpose of this invention solving the above-mentioned problem, a display being in sight in spots, or a flicker occurring, and is in offering the gradation method of presentation of the liquid crystal which can display many gradation, and its control unit.

[0008]

[Means for Solving the Problem] According to the gradation method of presentation of the liquid crystal of this invention according to claim 1, divide a round term into n frames and the same pixel is scanned n times. The pixel of the 1st gradation is displayed by making a pixel turn on with x times of frames. By making a pixel turn on with y times of different frames from x, the pixel of the 2nd gradation is displayed and the 3rd gradation which has the middle gradation of the 1st gradation and the 2nd gradation by two or more pixels containing the pixel of the 1st gradation and the pixel of the 2nd gradation is displayed. Therefore, since many gradation can be displayed without increasing the number of patterns of area gradation, and the number of partitions of a frame, it decreases that a display is in sight in spots, or a flicker occurs, and it is quality and can display.

[0009] Since according to the gradation method of presentation of the liquid crystal of this invention according to claim 2 the pixel of the 1st gradation and the pixel of the 2nd gradation are displayed on lengthwise and a longitudinal direction by turns, i.e., it displays with the so-called checkered pattern and the 3rd gradation is displayed, it is not visible in spots, and the viewing area by the 3rd gradation is quality, and can display.

[0010] The display object which arranged two or more pixels which can display either lighting or an astigmatism LGT in the shape of a matrix according to the gradation display controller of the liquid crystal of this invention according to claim 3, The memory the value corresponding to the gradient of each pixel of a display object is remembered to be, and a pattern generating means to output ON or OFF according to the coordinate of each pixel, It has a means by which divide a round term into two or more frames, and only the number of frames scans each pixel, the value memorized by memory, and the control means which change the number of times of a frame which makes each pixel turn on according to the output of a pattern generating means. Therefore, middle gradation can be displayed when the output of a pattern generating means makes a different thing the number of times of a frame which makes a

pixel turn on by the pixel of ON, and the pixel of OFF.

[0011] Since according to the gradation display controller of the liquid crystal of this invention according to claim 4 a pattern generating means outputs ON and outputs OFF at the time of another side when the sum of the ordinate and abscissa of a pixel is either even number or odd number, middle gradation is displayed with the so-called checkered pattern. Therefore, a display is not in sight in spots, and it is quality and can display.

[0012]

[Embodiments of the Invention] Hereafter, two or more examples explain the gestalt of operation of this invention in detail based on a drawing.

[0013] (The 1st example) The block diagram showing the gradation display controller of the liquid crystal of the 1st example of this invention in drawing 2 is shown. It has CPU1, the CPU bus 2, the memory control circuit 3, VRAM4, the liquid crystal display control circuit 5, the liquid crystal display object 6, the synchronizing signal generation circuit 7, and the frame counter 8.

[0014] According to the instruction transmitted from CPU1 through the CPU bus 2, the memory control circuit 3 reads the content of VRAM4, writes it in, or is carried out. The liquid crystal display control circuit 5 carries out lighting or the astigmatism LGT of the dot as a pixel arranged by the liquid crystal display object 6 in the shape of a matrix according to the value memorized by VRAM4.

[0015] The synchronizing signal generation circuit 7 outputs a synchronizing signal and a timing signal to the liquid crystal display control circuit 5 and the liquid crystal display object 6 a fixed period (for example, 13ms), and according to these signals, the liquid crystal display control circuit 5 reads the content of VRAM4, and it scans and displays the liquid crystal display object 6. This period serves as the length of the frame whose number is one.

[0016] The frame counter 8 counts the number of times of an output of a synchronizing signal, i.e., the number of frames, and is reset every 4 times by every number of times of predetermined, and this example. Therefore, it will be divided into the frame whose one big period is four, and the dot of the liquid crystal display object 6 will be scanned 4 times within the big period.

[0017] For example, one dot can be displayed on the order of \*\*, \*\*, \*\*, and \*\* with the gradation which is four to which concentration becomes thin by setting to 4, 2, 1, and 0 the number of the frames which make a dot turn on among four frames as shown in drawing 7.

[0018] (1) - (10) of drawing 1 is drawing showing some liquid crystal display objects 6 in which it was indicated by gradation by this example, and drawing 3 is drawing having shown the content of VRAM4 in this example typically.

(1) - in drawing 3 (7) corresponds to (1) - (7) of drawing 1. Corresponding to each dot of the liquid crystal display object 6, the value of 2 bits of a binary number is memorized by VRAM4. Here, 11 (2) of a binary number corresponds to the concentration of \*\* of drawing 7, 10 (2) corresponds to the concentration of \*\*, 01 (2) corresponds to the concentration of \*\* and 00 (2) corresponds to the concentration of \*\*, i.e., the state where the light is not switched on. By changing the number of frames with which the liquid crystal display control circuit 5 makes a dot turn on according to the content of VRAM4, four gradation, (1) which makes a dot turn on with all frames as shown in drawing 1, (3) which make a dot turn on with the frame of 2/4, (5) which make a dot turn on with the frame of 1/4, and (7) which do not make a dot turn on, can be displayed. Generally the method of presentation of the above gradation is called inter-frame length.

[0019] the four gradation above-mentioned in this example — more gradation can be displayed by displaying the pattern which sees two or more sets of dots of different gradation inside, and is constituted. For example, since the pattern shown in (2) forms the so-called checkered pattern which displays the dot of the gradation of (1) as a pixel of the 1st gradation, and the dot of the gradation of (3) as a pixel of the 2nd gradation on lengthwise and a longitudinal direction by turns, the gradation is the middle of (1) and (3). Since as for this checkered pattern the repeat of a pattern is hard to be recognized with the naked eye and a display cannot be in sight in spots easily, it is quality compared with other patterns, and can display middle gradation.

[0020] Moreover, since the pattern of (4) forms the pattern of a checker [ dot / of the gradation of (5) / the dot of the gradation of (3), and ], the gradation is the middle of (3) and (5). Since the pattern of (6) forms the pattern of a checker [ dot / of the gradation of (7) / the dot of the gradation of (5), and ], the gradation is the middle of (5) and (7). Therefore, it can display on the order of (1) - (7) with the gradation which is seven to which concentration becomes thin.

[0021] (8) patterns with which the dot of the gradation of (1) and the dot of the gradation of (5) form the checkered pattern other than the seven above-mentioned gradation, Gradation can also be displayed with the pattern of (10) with which the dot of the pattern of (9) with which the dot of the gradation of (1) and the dot of the gradation of (7) form a checkered pattern, and the gradation of (3), and the dot of the gradation of (7) form a checkered pattern. (8) Since gradation differs from (1) - (7) delicately seemingly, the pattern of - (10) can also set to 10 the number of gradation which can be displayed by this example.

[0022] (The 2nd example) The block diagram showing the gradation display controller of the liquid crystal of the 2nd example of this invention in drawing 4 is shown. The same sign is substantially given to the same portion with the 1st example.

[0023] The gradation display controller of this example is equipped with CPU1, the CPU bus 2, the memory control circuit 3, VRAM4 as memory the value corresponding to the gradient is remembered to be, the liquid crystal display control circuit 5 as control means, the liquid crystal display object 6 as a display object, the synchronizing signal generation circuit 7, and the frame counter 8, and the operation is the same as that of the 1st example. In this example, it has the pattern generating circuit 9 as a pattern generating means to output ON or OFF according to

the coordinate of each dot. The pattern generating circuit 9 outputs the so-called checkered pixel pattern with which ON and OFF are outputted to lengthwise and a longitudinal direction by turns according to the coordinate of the dot on the liquid crystal display object 6. This checkered pattern can be outputted by setting to ON, when the number of the sums of the ordinate and abscissa of a dot is even, and supposing that it is off at the time of odd number.

[0024] Drawing 5 is drawing having shown the content of VRAM4 in this example typically, and expresses the gradation of each dot with the triplet. (1) – in drawing 5 (7) corresponds to (1) – (7) of drawing 1.

[0025] As shown in (1) of drawing 5, (3), (5), and (7), when 1 bit of high orders of the value memorized by VRAM4 is 1 (2) When the liquid crystal display control circuit 5 changes the number of the frames which each dot turns on according to the value of 2 bits of low ranks, as shown in (1) of drawing 1, (3), (5), and (7), it is displayed on the liquid crystal display object 6. Namely, when 2 bits of low ranks are 11 (2), make a dot turn on with all frames, and the time of 10 (2) makes a dot turn on with two fourths of frames, the time of 01 (2) makes a dot turn on with one fourth of frames, and it is made into the state where the light is not switched on, at the time of 00 (2).

[0026] As shown in (2) of drawing 5, (4), and (6), when 1 bit of high orders of the value memorized by VRAM4 is 0 (2) The output of the checkered pixel pattern generated from the pattern generating circuit 9 is referred to. the output of the pattern generating circuit 9 the dot of ON It expresses as the concentration corresponding to the value of 2 bits of low ranks, and the output of the pattern generating circuit 9 expresses the dot of OFF as low concentration one stage rather than the concentration corresponding to the value of 2 bits of low ranks. The pattern of (2) displayed with the middle gradation of (1) and (3) by this as shown in drawing 1, the pattern of (4) displayed with the middle gradation of (3) and (5), and the pattern of (6) displayed with the middle gradation of (5) and (7) can be displayed. Since a point which is different in an example 1 does not need to change the value memorized to VRAM4 and should just write in the same value by the coordinate of a dot when displaying middle gradation as shown in (2), (4), and (6), the interface of software becomes easy.

[0027] As mentioned above, since the number of gradation which can be displayed can be made to increase as two or more examples explained, without increasing the number of patterns of the gradation method of presentation by area gradation, and the frame number of the gradation method of presentation by inter-frame length according to this invention, a display does not become in spots, or a flicker does not occur, it is quality and the gradation display of liquid crystal can be performed.

[0028] Moreover, it can prevent the pattern of a character displaying the whole character with the same gradation, and a part of its character being missing and visible by displaying with the gradation only by inter-frame length as shown in (1) of drawing 1, (3), (5), and (7), and using a checkered pattern as shown in the background (2) of drawing 1, (4), and (6).

---

[Translation done.]



## \*NOTICES\*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CORRECTION or AMENDMENT

[Official Gazette Type] Printing of amendment by the convention of 2 of Article 17 of patent law.

[Section partition] The 2nd partition of the 6th section.

[Date of issue] August 3, Heisei 13 (2001. 8.3)

[Publication No.] JP.11-143437.A.

[Date of Publication] May 28, Heisei 11 (1999. 5.28)

[\*\*\*\* format] Open patent official report 11-1435.

[Filing Number] Japanese Patent Application No. 9-310767.

[The 7th edition of International Patent Classification]

G09G 3/36  
G02F 1/133 575

[FI]

G09G 3/36  
G02F 1/133 575

[Procedure revision]

[Filing Date] September 11, Heisei 12 (2000. 9.11)

[Procedure amendment 1]

[Document to be Amended] Specification.

[Item(s) to be Amended] Claim.

[Method of Amendment] Change.

[Proposed Amendment]

[Claim(s)]

[Claim 1] A round term is divided into n frames and the same pixel is scanned n times.

The pixel of the 1st gradation is displayed by making a pixel turn on with x times of frames.

The pixel of the 2nd gradation is displayed by making a pixel turn on with y times of different frames from x.

The gradation method of presentation of the liquid crystal characterized by displaying the 3rd gradation which has the middle gradation of the 1st gradation and the 2nd gradation by two or more pixels containing the pixel of the 1st gradation of the above, and the pixel of the 2nd gradation of the above.

[Claim 2] The gradation method of presentation of the liquid crystal according to claim 1 characterized by displaying the 3rd gradation of the above by displaying the pixel of the 1st gradation of the above, and the pixel of the 2nd gradation of the above on lengthwise and a longitudinal direction by turns.

[Claim 3] The display object which arranged two or more pixels which can display either lighting or an astigmatism LGT in the shape of a matrix.

Memory the value corresponding to the gradient of each pixel of the aforementioned display object is remembered to be,

A pattern generating means to output ON or OFF according to the coordinate of each pixel,

A means by which divide a round term into two or more frames, and only the number of frames scans each pixel,

The gradation display controller of the liquid crystal characterized by having the value memorized by the aforementioned memory and the control means which change the number of times of a frame which makes each pixel turn on according to the output of the aforementioned pattern generating means.

[Claim 4] The aforementioned pattern generating means is the gradation display controller of the liquid crystal according to claim 3 characterized by outputting ON when the sum of the ordinate and abscissa of a pixel is either even number or odd number, and outputting OFF at the time of another side.

[Claim 5] The display object arranged in the shape of a matrix, using the pixel which can take the state of either lighting or an astigmatism LGT two or more.

A means by which divide a round term into two or more frames, and only the number of frames scans each aforementioned pixel,

Memory which memorized two or more sets of the value corresponding to the frame number made to turn on at a

round term of each pixel of the aforementioned display object.

The gradation display controller of the liquid crystal characterized by having the control means which determine the state of the pixel which corresponds according to the value memorized by the aforementioned memory at the time of the aforementioned scan.

[Claim 6] It is the gradation display controller of liquid crystal according to claim 5.

For the 1st frame number made to turn on at a round term of each pixel of the aforementioned display object, and the 1st frame number of the above, one of the sets of the value memorized by the aforementioned memory is the gradation display controller of the liquid crystal characterized by intermingling the 2nd different frame number.

[Procedure amendment 2]

[Document to be Amended] Specification.

[Item(s) to be Amended] 0011.

[Method of Amendment] Change.

[Proposed Amendment]

[0011] Since according to the gradation display controller of the liquid crystal of this invention according to claim 4 a pattern generating means outputs ON and outputs OFF at the time of another side when the sum of the ordinate and abscissa of a pixel is either even number or odd number, middle gradation is displayed with the so-called checkered pattern. Therefore, a display is not in sight in spots, and it is quality and can display. The display object arranged in the shape of a matrix, using a pixel with possible invention according to claim 5 taking the state of either lighting or an astigmatism LGT two or more. A means by which divide a round term into two or more frames, and only the number of frames scans each aforementioned pixel. It is the gradation display controller of the liquid crystal characterized by having the control means which determine the state of the memory which memorized two or more sets of the value corresponding to the frame number made to turn on at a round term of each pixel of the aforementioned display object, and the pixel which corresponds according to the value memorized by the aforementioned memory at the time of the aforementioned scan. Moreover, invention according to claim 6 is the gradation display controller of liquid crystal according to claim 5, and the 1st frame number which makes one of the sets of the value memorized by the aforementioned memory turn on at a round term of each pixel of the aforementioned display object, and the 1st frame number of the above are gradation display controllers of liquid crystal with which the 2nd different frame number is characterized by being intermingled.

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-143437

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133 5 7 5

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平9-310767

(22) 出願日 平成9年(1997)11月12日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 遠藤 岳男

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 松枝 裕司

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 飯沼 敏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

最終頁に続く

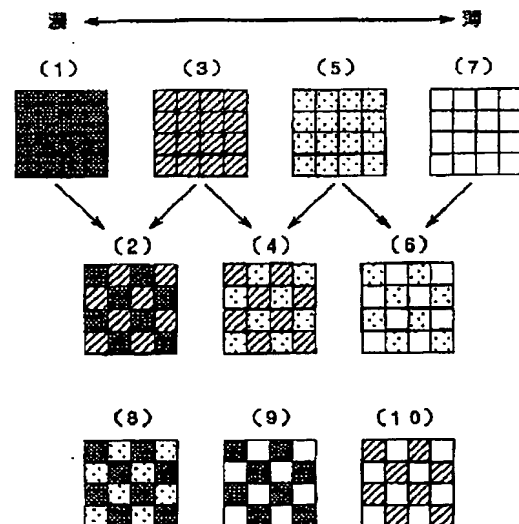
(54) 【発明の名称】 液晶の階調表示方法およびその制御装置

(57) 【要約】

【課題】 表示がまだらに見えたりフリッカが発生したりすることなく、多数の階調を表示することのできる液晶の階調表示方法を提供する。

【解決手段】 (2) に示すパターンは、(1) の階調のドットと(3) の階調のドットを縦方向および横方向に交互に表示するいわゆる市松模様のパターンを形成しているため、その階調は(1) と(3) の中間である。

(4) のパターンは(3) の階調のドットと(5) の階調のドットが市松模様のパターンを形成しているため、その階調は(3) と(5) の中間である。(6) のパターンは(5) の階調のドットと(7) の階調のドットが市松模様のパターンを形成しているため、その階調は(5) と(7) の中間である。したがって、(1) ～(7) の順に濃度が薄くなる7つの階調で表示することができる。



## 【特許請求の範囲】

【請求項1】 一周期を $n$ 個のフレームに分割して同一画素を $n$ 回走査し、

$x$ 回のフレームで画素を点灯させることにより第1の階調の画素を表示し、

$x$ と異なる $y$ 回のフレームで画素を点灯させることにより第2の階調の画素を表示し、

前記第1の階調の画素と前記第2の階調の画素を含む複数の画素により第1の階調と第2の階調との中間の階調をもつ第3の階調を表示することを特徴とする液晶の階調表示方法。 10

【請求項2】 前記第1の階調の画素と前記第2の階調の画素を縦方向および横方向に交互に表示することにより前記第3の階調を表示することを特徴とする請求項1に記載の液晶の階調表示方法。

【請求項3】 点灯または非点灯のいずれかの表示が可能な複数の画素をマトリックス状に配列した表示体と、前記表示体の各画素の階調度に対応した値が記憶されるメモリと、

各画素の座標に応じてオンまたはオフを出力するパターン発生手段と、 20

一周期を複数のフレームに分割して各画素をフレームの数だけ走査する手段と、

前記メモリに記憶された値と前記パターン発生手段の出力に応じて各画素を点灯させるフレームの回数を変更する制御手段と、を備えることを特徴とする液晶の階調表示制御装置。

【請求項4】 前記パターン発生手段は、画素の縦座標と横座標の和が偶数または奇数の一方のときにオンを出力し、他方のときにオフを出力することを特徴とする請求項3に記載の液晶の階調表示制御装置。 30

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶の階調表示方法およびその制御装置に関するものである。

【0002】

【従来の技術】従来より、点灯か非点灯かのいずれかの表示が可能な多数のドットがマトリックス状に配列された液晶表示装置に階調表示をさせる方法として、面積階調による方法と、フレーム間引きによる方法が知られている。 40

【0003】面積階調による方法は、単位面積当たりの点灯ドットの割合を変更することにより複数の階調で表示するものである。例えば、図6のA～Eに示すように $4 \times 4$ ドットのマトリックスパターンにおいて、点灯するドットの数が多いパターンほど表示濃度が濃くなる。

【0004】フレーム間引きによる方法は、一周期を複数のフレームに分割して同一画素をフレームの数だけ走査し、そのうちのドットを点灯させるフレーム回数を変更することにより複数の階調で表示するものである。例 50

えば、図7に示すように、4フレームのうちドットが点灯するフレーム数が多いほど表示濃度が濃くなる。

【0005】

【発明が解決しようとする課題】しかしながら、上記の従来の面積階調により液晶の階調表示を行う方法では、液晶の1つのドットが比較的大きい場合に、階調数を増やすとパターンの繰り返しが肉眼で認識されて表示がまだらに見えてしまうパターンが多くなるため、高品質の階調表示ができなかった。そのため、図6のA、C、Eに示すような3階調の表示が主に使用され、階調数を増やすことが難しいという問題があった。また、複数のドットで階調を表すため、文字などを表示する場合には文字を大きくしなければならず、表示できる文字の数が少なくなるという問題があった。

【0006】また、フレーム間引きによる方法では、間引くフレームの設定によっては表示がちらついてしまうフリッカが発生して表示品質が低下する。特に、フレーム数を増やして階調数を増やそうとすると、不規則なフレーム間引きの表示によりフリッカが増加するため、フレーム間引きによる多階調化には限界があった。

【0007】したがって、本発明の目的は上記の問題を解決し、表示がまだらに見えたりフリッカが発生したりすることなく、高品質で多数の階調を表示することのできる液晶の階調表示方法およびその制御装置を提供することにある。

【0008】

【課題を解決するための手段】本発明の請求項1に記載の液晶の階調表示方法によれば、一周期を $n$ 個のフレームに分割して同一画素を $n$ 回走査し、 $x$ 回のフレームで画素を点灯させることにより第1の階調の画素を表示し、 $x$ と異なる $y$ 回のフレームで画素を点灯させることにより第2の階調の画素を表示し、第1の階調の画素と第2の階調の画素を含む複数の画素により第1の階調と第2の階調との中間の階調をもつ第3の階調を表示する。したがって、面積階調のパターン数やフレームの分割数を増やすことなく多数の階調を表示することができ、表示がまだらに見えたりフリッカが発生したりすることが少なくなり、高品質で表示することができる。 40

【0009】本発明の請求項2に記載の液晶の階調表示方法によれば、第1の階調の画素と第2の階調の画素を縦方向および横方向に交互に表示する、すなわち、いわゆる市松模様のパターンにより表示して第3の階調を表示するため、第3の階調による表示領域がまだらに見えることがなく、高品質で表示することができる。

【0010】本発明の請求項3に記載の液晶の階調表示制御装置によれば、点灯または非点灯のいずれかの表示が可能な複数の画素をマトリックス状に配列した表示体と、表示体の各画素の階調度に対応した値が記憶されるメモリと、各画素の座標に応じてオンまたはオフを出力

するパターン発生手段と、一周を複数のフレームに分割して各画素をフレームの数だけ走査する手段と、メモリに記憶された値とパターン発生手段の出力に応じて各画素を点灯させるフレームの回数を変更する制御手段とを備える。そのため、パターン発生手段の出力がオンの画素とオフの画素とで画素を点灯させるフレームの回数を異なるものにより中間の階調を表示することができる。

【0011】本発明の請求項4に記載の液晶の階調表示制御装置によれば、パターン発生手段は、画素の縦座標と横座標の和が偶数または奇数の一方のときにオンを出力し、他方のときにオフを出力するため、中間の階調はいわゆる市松模様のパターンにより表示される。したがって、表示がまだらに見えることがなく、高品質で表示することができる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を複数の実施例により図面に基づいて詳細に説明する。

【0013】(第1実施例) 図2に本発明の第1実施例の液晶の階調表示制御装置を示すブロック図を示す。CPU1、CPUバス2、メモリ制御回路3、VRAM4、液晶表示制御回路5、液晶表示体6、同期信号生成回路7、フレームカウンタ8を備える。

【0014】CPU1からCPUバス2を通して伝わってきた命令に応じて、メモリ制御回路3はVRAM4の内容を読み取ったり書き込んだりする。液晶表示制御回路5はVRAM4に記憶された値に応じて、液晶表示体6にマトリックス状に配列された画素としてのドットを点灯または非点灯させる。

【0015】同期信号生成回路7は、一定の周期(例えば13ms)で同期信号やタイミング信号を液晶表示制御回路5と液晶表示体6に出力し、これらの信号に従って液晶表示制御回路5がVRAM4の内容を読み取り、液晶表示体6を走査して表示する。この周期が1つのフレームの長さとなる。

【0016】フレームカウンタ8は、同期信号の出力回数、すなわちフレームの数をカウントし、所定回数毎、本実施例では4回毎にリセットされる。したがって、1つの大きな周期が4つのフレームに分割され、大きな周期内で液晶表示体6のドットが4回走査されていることになる。

【0017】例えば、図7に示すように4つのフレームのうちドットを点灯させるフレームの数を4、2、1、0とすることにより、1つのドットを①、②、③、④の順に濃度が薄くなる4つの階調で表示することができる。

【0018】図1の(1)～(10)は本実施例により階調表示された液晶表示体6の一部を示す図であり、図3は本実施例におけるVRAM4の内容を模式的に示した図である。図3の中の(1)～(7)は図1の(1)

～(7)に対応している。VRAM4には、液晶表示体6の各ドットに対応して二進数の2ビットの値が記憶されている。ここで、二進数の11(2)は図7の①の濃度に対応し、10(2)は②の濃度に対応し、01(2)は③の濃度に対応し、00(2)は④の濃度、すなわち未点灯の状態に対応する。液晶表示制御回路5がVRAM4の内容に応じてドットを点灯させるフレームの数を変更することにより、図1に示すように全フレームでドットを点灯させる(1)、2/4のフレームでドットを点灯させる(3)、1/4のフレームでドットを点灯させる(5)、ドットを点灯させない(7)の4つの階調を表示することができる。上記のような階調の表示方法を一般にフレーム間引きという。

【0019】本実施例では、上記の4つの階調うち、異なる階調のドットを複数組み合わせ構成されるパターンを表示することにより、より多くの階調を表示することができる。例えば(2)に示すパターンは、第1の階調の画素としての(1)の階調のドットと第2の階調の画素としての(3)の階調のドットを縦方向および横方向に交互に表示するいわゆる市松模様のパターンを形成しているため、その階調は(1)と(3)の間である。この市松模様のパターンは、肉眼でパターンの繰り返し認識されにくく、表示がまだらに見えにくいため、他のパターンに比べて高品質で中間階調を表示することができる。

【0020】また、(4)のパターンは(3)の階調のドットと(5)の階調のドットが市松模様のパターンを形成しているため、その階調は(3)と(5)の間である。(6)のパターンは(5)の階調のドットと(7)の階調のドットが市松模様のパターンを形成しているため、その階調は(5)と(7)の間である。したがって、(1)～(7)の順に濃度が薄くなる7つの階調で表示することができる。

【0021】上記の7つの階調のほかに、(1)の階調のドットと(5)の階調のドットが市松模様のパターンを形成する(8)のパターン、(1)の階調のドットと(7)の階調のドットが市松模様のパターンを形成する(9)のパターンおよび(3)の階調のドットと(7)の階調のドットが市松模様のパターンを形成する(10)のパターンにより階調を表示することもできる。

(8)～(10)のパターンは、見かけ上(1)～(7)と微妙に階調が異なるため、本実施例で表示可能な階調数を10とすることも可能である。

【0022】(第2実施例) 図4に本発明の第2実施例の液晶の階調表示制御装置を示すブロック図を示す。第1実施例と実質的に同一部分に同一符号を付す。

【0023】本実施例の階調表示制御装置は、CPU1、CPUバス2、メモリ制御回路3、階調度に対応した値が記憶されるメモリとしてのVRAM4、制御手段としての液晶表示制御回路5、表示体としての液晶表示

体6、同期信号生成回路7、フレームカウンタ8を備え、その動作は第1実施例と同様である。本実施例では、各ドットの座標に応じてオンまたはオフを出力するパターン発生手段としてのパターン発生回路9を備える。パターン発生回路9は、液晶表示体6上のドットの座標に応じてオンとオフが縦方向および横方向に交互に出力される、いわゆる市松模様の画素パターンを出力する。この市松模様のパターンは、例えばドットの縦座標と横座標の和が偶数の時にオンとし、奇数の時にオフとすることにより出力することができる。

【0024】図5は本実施例におけるVRAM4の内容を模式的に示した図であり、各ドットの階調を3ビットで表している。図5の中の(1)～(7)は図1の(1)～(7)に対応している。

【0025】図5の(1)、(3)、(5)、(7)に示すように、VRAM4に記憶された値の上位1ビットが1(2)の時は、下位2ビットの値に応じて液晶表示制御回路5が各ドットの点灯するフレームの数を変更することによって、図1の(1)、(3)、(5)、(7)に示すように液晶表示体6に表示される。すなわち、下位2ビットが11(2)のときは全フレームでドットを点灯させ、10(2)のときは2/4のフレームでドットを点灯させ、01(2)のときは1/4のフレームでドットを点灯させ、00(2)のときは未点灯の状態とする。

【0026】図5の(2)、(4)、(6)に示すように、VRAM4に記憶された値の上位1ビットが0(2)の時は、パターン発生回路9から発生される市松模様の画素パターンの出力を参照して、パターン発生回路9の出力がオンのドットは、下位2ビットの値に対応した濃度で表示し、パターン発生回路9の出力がオフのドットは、下位2ビットの値に対応した濃度よりも1段階低い濃度で表示する。これにより、図1に示すように(1)と(3)の中間の階調で表示される(2)のパターン、(3)と(5)の中間の階調で表示される(4)のパターン、(5)と(7)の中間の階調で表示される(6)のパターンを表示することができる。実施例1とは異なる点は、(2)、(4)、(6)に示すような中間階調を表示する場合に、ドットの座標によってVRAM4に記憶する値を変更する必要がなく、同一の値を書

き込めばよいので、ソフトウェアのインターフェイスが簡単になる。

【0027】以上、複数の実施例によって説明したように、本発明によれば面積階調による階調表示方法のパターン数やフレーム間引きによる階調表示方法のフレーム数を増やすことなく、表示可能な階調数を増加させることができるため、表示がまだらになったり、フリッカが発生したりすることがなく、高品質で液晶の階調表示を行うことができる。

- 10 【0028】また、文字のパターンは図1の(1)、(3)、(5)、(7)に示すようなフレーム間引きのみによる階調で表示し、バックグラウンドに図1の(2)、(4)、(6)に示すような市松模様のパターンを使用することにより、文字全体を同じ階調で表示し、文字の一部が欠けて見えるようなことを防ぐことができる。

【図面の簡単な説明】

【図1】本発明の実施例による液晶の階調表示方法を説明する図である。

- 20 【図2】本発明の第1実施例による液晶の階調表示制御装置を示すブロック図である。

【図3】本発明の第1実施例による液晶の階調表示方法におけるVRAMの内容を示す模式図である。

【図4】本発明の第2実施例による液晶の階調表示制御装置を示すブロック図である。

【図5】本発明の第2実施例による液晶の階調表示方法におけるVRAMの内容を示す模式図である。

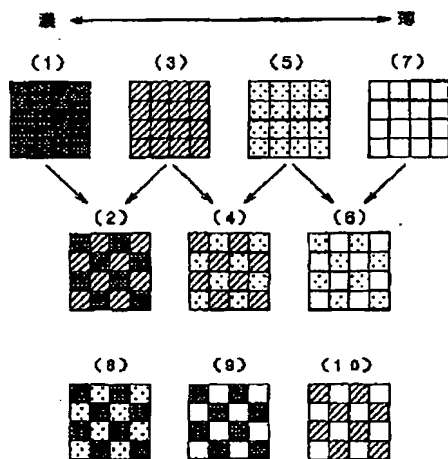
【図6】面積階調による階調表示を説明する図である。

- 30 【図7】フレーム間引きによる階調表示を説明する図である。

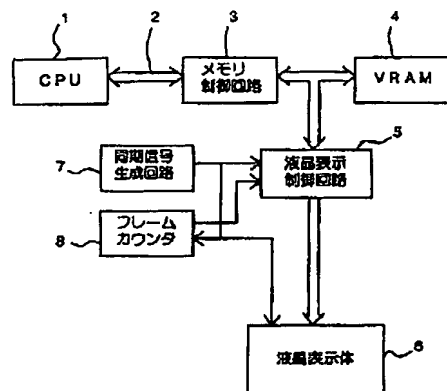
【符号の説明】

- 1 CPU  
2 CPUバス  
3 メモリ制御回路  
4 VRAM(メモリ)  
5 液晶表示制御回路(制御手段)  
6 液晶表示体(表示体)  
7 同期信号生成回路  
8 フレームカウンタ  
40 9 パターン発生回路(パターン発生手段)

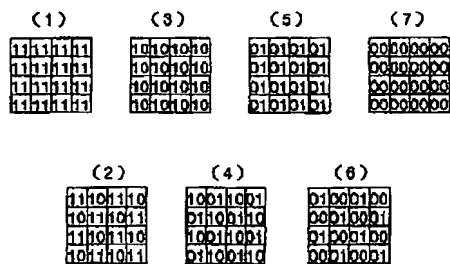
【図1】



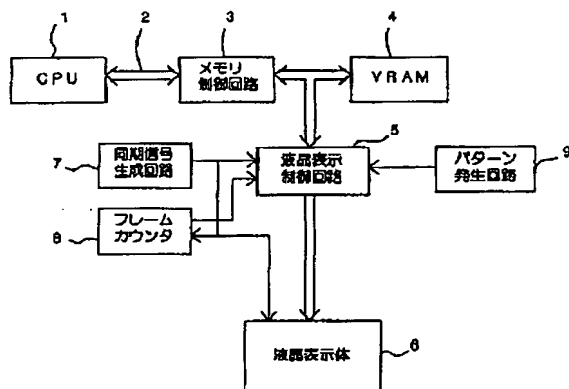
【図2】



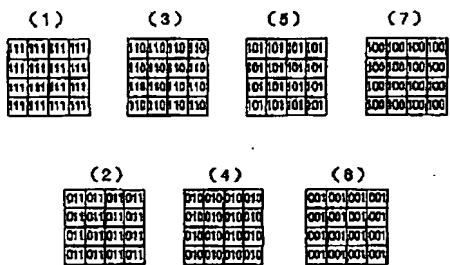
【図3】



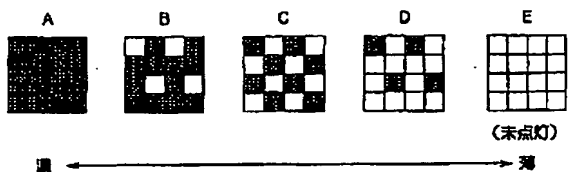
【図4】



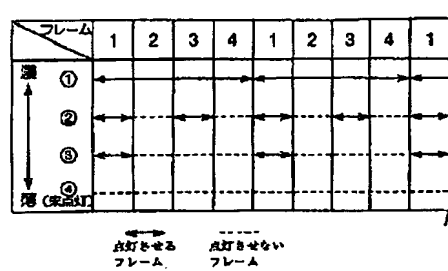
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 塩▲崎▼ 正  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエブソン株式会社内

(72)発明者 小林 研示  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエブソン株式会社内

(72)発明者 永春 潔  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエブソン株式会社内

(72)発明者 堀井 和哉  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエブソン株式会社内



【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 2 区分  
 【発行日】平成 13 年 8 月 3 日 (2001. 8. 3)

【公開番号】特開平 11-143437  
 【公開日】平成 11 年 5 月 28 日 (1999. 5. 28)  
 【年通号数】公開特許公報 11-1435  
 【出願番号】特願平 9-310767  
 【国際特許分類第 7 版】

G09G 3/36  
 G02F 1/133 575  
 【F I】  
 G09G 3/36  
 G02F 1/133 575

【手続補正書】  
 【提出日】平成 12 年 9 月 11 日 (2000. 9. 11)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正内容】  
 【特許請求の範囲】  
 【請求項 1】一周期を  $n$  個のフレームに分割して同一画素を  $n$  回走査し、  
 $x$  回のフレームで画素を点灯させることにより第 1 の階調の画素を表示し、  
 $x$  と異なる  $y$  回のフレームで画素を点灯させることにより第 2 の階調の画素を表示し、  
 前記第 1 の階調の画素と前記第 2 の階調の画素を含む複数の画素により第 1 の階調と第 2 の階調との中間の階調をもつ第 3 の階調を表示することを特徴とする液晶の階調表示方法。  
 【請求項 2】前記第 1 の階調の画素と前記第 2 の階調の画素を縦方向および横方向に交互に表示することにより前記第 3 の階調を表示することを特徴とする請求項 1 に記載の液晶の階調表示方法。  
 【請求項 3】点灯または非点灯のいずれかの表示が可能な複数の画素をマトリックス状に配列した表示体と、前記表示体の各画素の階調度に対応した値が記憶されるメモリと、  
 各画素の座標に応じてオンまたはオフを出力するパターン発生手段と、  
 一周期を複数のフレームに分割して各画素をフレームの数だけ走査する手段と、  
 前記メモリに記憶された値と前記パターン発生手段の出力に応じて各画素を点灯させるフレームの回数を変更する制御手段と、を備えることを特徴とする液晶の階調表示制御装置。

【請求項 4】前記パターン発生手段は、画素の縦座標と横座標の和が偶数または奇数の一方のときにオンを出力し、他方のときにオフを出力することを特徴とする請求項 3 に記載の液晶の階調表示制御装置。

【請求項 5】点灯または非点灯のいずれかの状態をとることが可能な画素を複数個用いてマトリックス状に配列された表示体と、

一周期を複数のフレームに分割して前記各画素をフレームの数だけ走査する手段と、

前記表示体の各画素の一周期において点灯させるフレーム数に対応した値の集合を複数記憶したメモリと、

前記走査時、前記メモリに記憶された値に応じて、該当する画素の状態を決定する制御手段と、を備えることを特徴とする液晶の階調表示制御装置。

【請求項 6】請求項 5 に記載の液晶の階調表示制御装置であって、

前記メモリに記憶された値の集合の一つは、前記表示体の各画素の一周期において点灯させる第 1 のフレーム数と、前記第 1 のフレーム数とは異なる第 2 のフレーム数が混在することを特徴とする液晶の階調表示制御装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】本発明の請求項 4 に記載の液晶の階調表示制御装置によれば、パターン発生手段は、画素の縦座標と横座標の和が偶数または奇数の一方のときにオンを出力し、他方のときにオフを出力するため、中間の階調はいわゆる市松模様のパターンにより表示される。したがって、表示がまだらに見えることがなく、高品質で表示することができる。請求項 5 に記載の発明は、点灯または非点灯のいずれかの状態をとることが可能な画素を複数個用いてマトリックス状に配列された表示体と、一周

期を複数のフレームに分割して前記各画素をフレームの数だけ走査する手段と、前記表示体の各画素の一周期において点灯させるフレーム数に対応した値の集合を複数記憶したメモリと、前記走査時、前記メモリに記憶された値に応じて、該当する画素の状態を決定する制御手段と、を備えることを特徴とする液晶の階調表示制御装置

である。また、請求項6に記載の発明は、請求項5に記載の液晶の階調表示制御装置であって、前記メモリに記憶された値の集合の一つは、前記表示体の各画素の一周期において点灯させる第1のフレーム数と、前記第1のフレーム数とは異なる第2のフレーム数が混在することを特徴とする液晶の階調表示制御装置である。